

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-150163

(43)Date of publication of application : 02.06.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/027

(21)Application number : 08-308079

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 19.11.1996

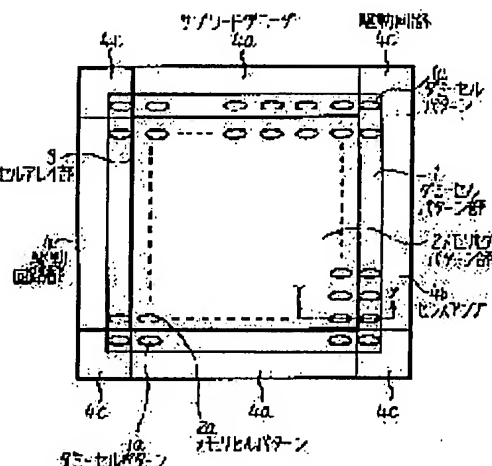
(72)Inventor : NAKANISHI NOBUKO

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To narrow the area of the region including the storage cell array part and the peripheral cell driving circuit part in a semiconductor storage provided with a dummy cell pattern part for avoiding the decline in the resist pattern transfer precision by stationary waves in the case of exposure.

SOLUTION: In this semiconductor storage, a dummy cell pattern part 1 is arranged in the periphery of a storage cell pattern part 2 for storing data while a driving circuit 4 for driving the storage cell pattern part 2 is provided on the periphery of the dummy cell pattern part 1. On the other hand, a transistor arranged in the dummy cell pattern part 1 is electrically operated as a transistor comprising the driving circuit 4.



LEGAL STATUS

[Date of request for examination] 19.11.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3110328

[Date of registration] 14.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 14.09.2003

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150163

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/027

H 0 1 L 27/10
21/30
27/10

6 8 1 F
5 6 1
6 2 1 B

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平8-308079

(22) 出願日 平成8年(1996)11月19日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 中西 信子

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

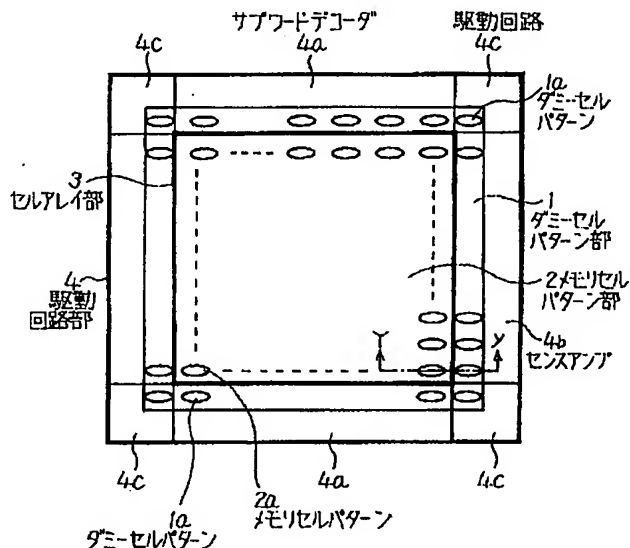
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 露光時の定常波によるレジストパターン転写精度低下防止のためのダミーセルパターン部を備える半導体記憶装置において、メモリセルアレイ部とその周辺のセル駆動回路部とを含む領域の面積を縮小する。

【解決手段】 情報を記憶させるためのメモリセルパターン部2の周辺に、メモリセルパターン部2におけるフォトリジストパターン形成の際の転写精度を保証するためのダミーセルパターン部1を配置し、ダミーセルパターン部1の周辺にメモリセルパターン部2を駆動するための駆動回路部4を設け、ダミーセルパターン部1内に配置されたトランジスタに、駆動回路部4を構成するトランジスタとして、電気的動作を行わしめる。



【特許請求の範囲】

【請求項1】 情報を記憶させるためのメモリセル領域の周辺に、前記メモリセル領域におけるフォトリソグラフィパターン形成の際の転写精度を保証するためのダミーセル領域を配置し、前記ダミーセル領域の周辺に前記メモリセル領域を駆動するための駆動回路部を設け、前記駆動回路部を構成するトランジスタを前記ダミーセル領域内に配置したことを特徴とする半導体記憶装置。

【請求項2】 情報を記憶するメモリセルを行・列に配置してなるメモリセル領域と、それぞれ前記メモリセルを構成するトランジスタと同一動作原理のトランジスタを含む複数のダミーセルを前記メモリセル領域の周辺に配置してなり、この半導体記憶装置の製造工程中のフォトリソグラフィ工程においてフォトリソグラフィパターン形成の際の定常波に起因する転写精度低下を防止するためのダミーセル領域と、前記メモリセル領域を駆動するために前記ダミーセル領域の周辺に配置された駆動回路部とを有する半導体記憶装置において、

前記ダミーセル領域内に配置されたトランジスタに、前記駆動回路部が行うべき回路動作の実現に要する電気的動作をなさしめて、前記トランジスタを前記駆動回路部のトランジスタとして用いることを特徴とする半導体記憶装置。

【請求項3】 情報を記憶するメモリセルを行・列に配置してなるメモリセル領域と、それぞれ前記メモリセルを構成するトランジスタと同一型のトランジスタを含む複数のダミーセルを前記メモリセル領域の周辺に配置してなり、この半導体記憶装置の製造工程中のフォトリソグラフィ工程においてフォトリソグラフィパターン形成の際の定常波に起因する転写精度低下を防止するためのダミーセル領域と、前記メモリセル領域を駆動するために前記ダミーセル領域の周辺に配置された駆動回路部とを有する半導体記憶装置において、

前記ダミーセル領域を構成するダミーセルに情報記憶機能を持たせ、前記ダミーセル領域を前記メモリセル領域に対するリダンダンシーセル領域として用いることを特徴とする半導体記憶装置。

【請求項4】 請求項1乃至3のいずれかに記載した半導体記憶装置において、

前記メモリセル領域のメモリセル及び前記ダミーセル領域のダミーセルは、絶縁ゲート型電界効果型トランジスタを用いた1トランジスタ、1キャパシタ構成のスタックトキャパシタ構造であり、前記ダミーセルを構成する絶縁ゲート型電界効果型トランジスタは、前記セル領域におけるメモリセルの配列ピッチと同一のピッチで、少なくとも一列以上配列されていることを特徴とする半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置において、

前記ダミーセルの絶縁ゲート型電界効果型トランジスタ

は、前記ダミーセルのスタックトキャパシタを構成するスタック電極部の下部に配置され、電流経路の一端が前記メモリセル領域のデジット線に接続し、電流経路の他端が前記駆動回路部を構成するセンスアンプのデジット線に接続し、ゲート電極はワード線に接続することを特徴とする半導体記憶装置。

【請求項6】 請求項5記載の半導体記憶装置において、

前記前記ダミーセルを構成する絶縁ゲート型電界効果型トランジスタの前記駆動回路部への接続は、前記スタック電極部に用いられている配線より下層の部位に存在する配線層を用いることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に、メモリセルパターンの他にダミーセルパターンを有する半導体記憶装置に関する。

【0002】

【従来の技術】この種の半導体記憶装置におけるメモリセルアレイ部（以後、セルアレイ部と記す）及びその周辺部の一般的な構成について、以下に述べる。半導体記憶装置のこの部分は、通常、情報を記憶するメモリセルを行・列に配列したセルアレイ部と、センスアンプやサブワードデコーダ及びそれらセンスアンプやデコーダを駆動するための回路などからなるセル駆動回路部とを含む基本となるパターンが複数個集まって構成されている。

【0003】セルアレイ部は、実際に記憶素子として作用する多数のメモリセルをマトリクス状に配列したメモリセルパターン部と、実際の記憶動作には関係のないダミーセルからなるダミーセルパターン部とから構成される。メモリセルパターン部の領域では、ワード線とデジット線の各交点に設けられたスイッチングトランジスタと記憶用の容量とで構成されるメモリセルが、縦・横にマトリクス状に配置されている。ダミーセルパターン部は、メモリセルパターン部の外側を取り囲むように配置されている。

【0004】ダミーセルパターン部の外側には、更に、所望のワード線を選択するためのサブワードデコーダと、デジット線に読み出されたデータを増幅するためのセンスアンプとが設けられており、サブワードデコーダとセンスアンプの交差する部分に、サブワードデコーダ及びセンスアンプを駆動するための回路（以下、駆動回路と記す）が設けられている。このサブワードデコーダと、センスアンプと、駆動回路とによって構成される領域は、セル駆動回路部と称される。

【0005】尚、上記メモリセルの記憶用容量に関しては、近年、容量値を大きくするために、単結晶シリコン基板に縦溝を掘り込み、溝の内壁を利用して蓄積面積を増大させる、いわゆるトレンチ構造のキャパシタにした

3

り、或いは、多層ポリシリコン技術を用いて、スイッチングトランジスタやビット線、或いは分離領域の上に蓄積容量を形成することにより、セル面積を増やさずに蓄積面積を大きくする、いわゆるスタックキャパシタ構造のメモリセルにすることが提案されている。これらの容量増大方法はいずれも、キャパシタ容量の増大には有効な手段であるが、絶縁体層の誘電率を高める方法や或いは膜厚を薄くする方法とは違って、チップ表面の凹凸を大きくするものである。半導体の製造工程にさまざまな影響を及ぼし、実用化にあたっていろいろな製造技術の改良が必要とされる。

【0006】図4に、上述したダミーセルパターン部を備える半導体記憶装置で、スタックキャパシタ構造の半導体記憶装置におけるアレイ部について、従来の技術によるものの一例の平面図を示す。図4を参照して、メモリセルパターン2aが規則的に配置されたメモリセルパターン部2と、そのメモリセルパターン部2の外側を額縁状に囲むように配置されたダミーセルパターン1bからなるダミーセルパターン部1Aとが、セルアレイ部3を構成している。

【0007】ダミーセルパターン部1Aの外側には、サブワードデコーダ4aが紙面上下の辺の側に配置され、センスアンプ4bが左右の辺の側に配置され、更に、四つの頂点の近傍、サブワードデコーダの領域とセンスアンプの領域とが交差する部分に、サブワードデコーダ及びセンスアンプを駆動するための駆動回路4cが配置されて、セル駆動回路部4を構成している。

【0008】図5(a)に、図4中の直線X-xで示した部分の近辺の平面図を、拡大して示す。図5(a)は、この半導体記憶装置の製造に際してフォトリソグラフィ工程で用いられるいくつかの層のマスクパターンを、重ねて示した図である。図5(a)において、5は拡散層、6はワード線、7はデジタル線である。8は、拡散層5とスタックキャパシタのシリコン基板側のポリシリコン電極(スタックポリ)12とを接続するコンタクトである。9は、拡散層5とデジタル線7とを接続するコンタクトである。尚、図5(a)で示される領域、つまり図4のセルアレイ部3の領域には、全面に互って、上記スタックキャパシタのもう一方の電極となるポリシリコン層(容量ポリ)が酸化皮膜を介して形成されているが、図を簡略化するため図示省略してある。

【0009】図5(b)に、図5(a)に平面図を示した部分の断面図を示す。なお、図5(b)には、図5(a)のマスク平面図では表現できなかった、容量ポリ10及びフィールド酸化膜11を補足図示している。又、メモリセルパターン部2、ダミーセルパターン部1A、セルアレイ部3、セル駆動回路部4のそれぞれの領域を、破線で仕切って示している。

【0010】以下に、ダミーセルパターンの必要性について述べる。LSIのウェハ加工におけるフォトリソグ

4

ラフィ工程では、フォトレジストの露光に際して、露光装置からウェハへ入射する入射波と、ウェハから反射してくる反射波とが互いに干渉し合うという現象が起こる。上記の入射波と反射波とは波長、振幅、周期が等しく互いに反対向きに進む波であるので、これらの入射波と反射波とが重なると、左右どちらにも進まない定常波ができる。その定常波は、得られる振幅が反射点における入射波の位相によって異なり、最大では入射波の2倍となる。このような変位を示す部分では、フォトレジストに転写されたパターンの形状に影響が現れる。特にスタックポリパターン形成工程における影響が大きく、ダミーセルパターン部が設けられていない半導体記憶装置では、メモリセルパターン部2のアレイ端でセルパターンの寸法細りが生じる。これは、以下の理由による。

【0011】メモリセルパターン部2には、下地を形成するための導体層が密に存在している。従って、ただでさえ、その分周囲のサブワードデコーダ4aやセンスアンプ4bなどより高くなっている。メモリセルの記憶用キャパシタにスタック構造のキャパシタを用いる半導体記憶装置では、その上、キャパシタ用のスタックポリ12や容量ポリ10が積み重なる。従って、スタックキャパシタを用いる構造の半導体メモリでは、メモリセルパターン部2とその周辺のセル駆動回路部4との間の段差が、非常に大きい。

【0012】図6(a)に、スタックキャパシタ構造の半導体記憶装置において、ダミーセルパターンが設けられていないものとした場合の、スタックポリパターン形成工程での露光時の断面図を示す。図6(a)を参照して、この場合、セルアレイ部3の領域とメモリセルパターン部2の領域とは合致しており、その外側にセル駆動回路4が配置されている。そして、ウェハ下地15の上にスタックポリ12の層が全面に形成され、更にその上にフォトレジスト14がやはり全面に塗布されている。この状態で、レティクル13を露光装置に取り付け、スタックポリパターンをフォトレジスト14に転写するべく、露光を行う。ここで、露光装置からウェハに照射される光のうちセルアレイ端部2cに入るものを入射光17とし、セルアレイ中心部2dに入るものを入射光18とする。いま、フォトレジストとしてポジ型のもを用いれば、入射光が入る領域のフォトレジスト14は感光し、現像で溶けてなくなり、一方、クロム16などで光が遮断されている部分が必要なデータとして残る。

【0013】尚、図6(a)中で、20はセルアレイ端部2cのスタックポリパターンであり、21はセルアレイ中心部2dのスタックポリパターンである。また、セルアレイ端部2cは、セルアレイ中心部2dより段差h分だけ低くなっている。この状態では、通常、セルアレイ端部2cのスタックポリパターン20は、セルアレイ中心部2dのスタックポリパターン21に比べ、寸法細

りを起こす。

【0014】すなわち、セルアレイ中心部またはセルアレイ端部に入る入射波およびその合成波の波形の一例を示す図6(b)を参照して、 i_1 は露光時にセルアレイ端部2cに入る入射波を示し、 j_1 はセルアレイ中心部2dに入る入射波を波形で示す。 i_1 、 j_1 はそれぞれ、振幅B、周期T、波長 λ で反射点に向かって進み、Y軸(紙面左右方向)はそのときの変位を表し、X軸(上下方向)は波長を表わす。 k は、セルアレイ端部2cへの入射波 i_1 が入射するところの反射点であり、 m はセルアレイ中心部2dへの入射波 j_1 が入射するところの反射点である。セルアレイ中心部2dの反射点 m は、セルアレイ端部2cの反射点 k より段差 h 分だけ高くなっている。

【0015】反射点 m での入射波 j_1 の変位がゼロであるのに対し、反射点 k における入射波 i_1 の変位は $-B$ である。また位相は、反射点 m での入射波 j_1 の位相より $5/4\lambda$ だけずれている。その結果、入射波 i_1 、入射波 j_1 それぞれの波の反射点での合成波、すなわち定常波もそれぞれ異なった位相を示す。ここで、反射点 k での入射波 i_1 の反射波を i_2 、反射点 m での入射波 j_1 の反射波を j_2 とすると、セルアレイ端部2cでの反射波 i_2 は入射波 i_1 と重なる波形となり、一方、セルアレイ中心部2dでの反射波 j_2 は入射波 j_1 と位相が $\lambda/2$ 分ずれた波形となる。よって、入射波 i_1 、入射波 j_1 それぞれの波の反射点での合成波は、セルアレイ端部2cでは入射波 i_1 の2倍の変位(=2B)を表す波形Iとなり、セルアレイ中心部2dでは、入射波 j_1 と互いに相殺し合って直線で表される波形Jとなる。その結果、セルアレイ中心部2dでは定常波の影響が起き

【0016】このように、メモリセルパターン部2(この場合は、セルアレイ部3に合致している)と駆動回路部4とが直接接していると、スタックポリパターン形成工程で、セルアレイ端部2cのセルパターンが寸法細りを起こし、ホールド不良の原因となっていた。図4において、メモリセルパターン部2の周辺に配置されたダミーセルパターン部1Aは、上述の定常波によるメモリセルパターン部端部でのスタックポリの転写精度低下対策として設けられたものである。このような対策を施した半導体記憶装置では、従来、メモリセルパターン部2の外側に新たに額縁状に設けられたダミーセルパターン部1Aが、更にその外側を囲うように存在するサブワードデコーダ4aやセンスアンプ4b、或いはそれらを駆動するための駆動回路4cからなるセル駆動回路部4の領域に入り込まないように、設計されている。

【0017】図6(c)に、転写精度防止用ダミーセルパターン部1Aを設けた半導体記憶装置における、スタックポリパターン形成工程での露光時の断面図を示す。

図6(c)を参照して、メモリセルパターン部2の端部2cの外側に、ダミーセルパターン部1Aが新たに配置されている。そして、ダミーセルパターン部1bからなるダミーセルパターン部1Aに、入射光19が照射されている。この半導体記憶装置では、ダミーセルパターン部1bを配置したことにより、メモリセルパターン部2において、アレイ中心部2dとアレイ端部2cとの間の段差 h がなくなる。その結果、アレイ端部2cのスタックポリパターン部20に対する、入射光17による定常波の影響が小さくなり、セルパターンの寸法細りも起らなくなる。

【0018】図6(c)におけるセルアレイ部3は、メモリセルパターン部2とこれを取り囲むダミーセルパターン部1Aとで構成されており、その更に外側にセル駆動回路4が配置されている。この半導体記憶装置は、本来の記憶動作及びセル駆動回路部4(サブワードデコーダ4a、センスアンプ4b及びそれらを駆動するための回路からなる)の動作とは関係のない、ダミーセルパターン部1Aを新たに設けることで、従来、メモリセルアレイ部3の端部2cで生じていた、スタックポリパターン形成の際の、定常波による転写精度の低下を防止している。

【0019】

【発明が解決しようとする課題】上述した、ダミーセルパターン部を備える従来の半導体記憶装置には、セルアレイ部3(本来の記憶動作を行うセルパターン部2と、スタックポリパターンの転写精度向上のためのダミーセルパターン部1Aとからなる領域)のサイズが大きくなるという問題がある。その理由は、セルパターン部2の他に、ダミーセルパターン部1Aという、本来の記憶動作とは関係なく、又、サブワードデコーダ4aやセンスアンプ4b、或いはそれらを駆動するための回路の動作とも関係のない領域を設けたからである。

【0020】従って本発明は、メモリセルパターン部におけるフォトレジストパターン形成の際の転写精度を保証するためのダミーセルパターン部を備える半導体記憶装置において、メモリセルアレイ部とその周辺のセル駆動回路部とを含む領域の面積を縮小することを目的とするものである。

【0021】

【課題を解決するための手段】本発明の半導体記憶装置は、情報を記憶させるためのメモリセル領域の周辺に、前記メモリセル領域におけるフォトレジストパターン形成の際の転写精度を保証するためのダミーセル領域を配置し、前記ダミーセル領域の周辺に前記メモリセル領域を駆動するための駆動回路部を設け、前記駆動回路部を構成するトランジスタを前記ダミーセル領域内に配置したことを特徴とする。

【0022】本発明においては、メモリセルパターン部の外側に配置されるダミーセルパターン部に、フォトレ

ジストパターン形成の際の定常波に起因する転写精度を防止するための、高さ調整の機能だけを持たせるだけでなく、ダミーセルのMOSトランジスタをセンスアンプなどのセル駆動回路部と接続させて、セル駆動回路部の一部として電氣的動作させる。すなわち、ダミーセルをセル駆動回路部内に組み込んでいる。これにより、本来の記憶動作を行うメモリセルパターン部と、そのメモリセルパターン部を駆動するためのセル駆動回路部とが実質的に直接接する構造として、セルアレイサイズの増大を抑制しながらも、メモリセルパターン部でのフォトレジストパターンの転写精度の低下を防いでいる。

【0023】又、ダミーセルをリダンダンシーセルとして利用すれば、チップの良品率を向上させることができる。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。図1は、本発明の一実施の形態による半導体記憶装置の、メモリセルアレイ部及びその周辺の回路を含む部分の平面図である。又、図2(a)は、図1中の直線Y-yで示した部分の近辺の平面図を、拡大して示す図であって、本実施の形態の製造に際してフォトリソグラフィ工程で用いられた幾つかの層のマスクパターンを重ねて示した図である。更に、図2(b)に、図2(a)に示した部分の断面図を示す。この図2(b)には、図2(a)で示した平面図では表現できなかった容量ポリシリ10及びフィールド酸化膜11を補足図示している。

【0025】図1～図2(b)を参照して、図中、5は拡散層、6はワード線、7はデジット線である。8は拡散層5とスタックポリ12とを接続しているコンタクト、9は拡散層5とデジット線7とを接続しているコンタクトである。ダミーセルパターン部1を構成するダミーセルパターン1aのMOSトランジスタQは、ソース、ドレイン領域となるべき二つのn⁺ 拡散層5の一方が、本来の記憶動作を行うメモリセルパターン部2の方から延びてくるポリシリコンデジット線7aに、コンタクト9を介して接続している。トランジスタQのもう一方の側のn⁺ 拡散層は、センスアンプやそれらを駆動する回路からなるセル駆動回路部4の方に延びるポリシリコン配線7bに、コンタクト5を介して接続している。このダミーセルパターン部1aのトランジスタQは、メモリセルパターン部2を構成するトランジスタにおけると同様に、シリコン酸化皮膜で覆われ、更にその上にスタックポリ12と容量絶縁膜(図示せず)と容量ポリ10との重ね合せからなるスタックトキャパシタが形成されている。従って、ダミーセルパターン部1の高さと、*

$$\begin{aligned} m \times n / (m+2) \times (n+2) &= 64 \times 128 / 66 \times 130 \\ &= 8192 / 8580 \\ &= 0.954778554 \end{aligned}$$

となる。すなわち、本実施の形態によって、メモリセル

*本来の記憶動作を行うメモリセルパターン部2の高さとは、ほぼ同等である。但し、本実施の形態におけるダミーセルパターン1aのトランジスタQでは、そのn⁺ 領域のどちらも、上記のスタックトキャパシタには接続していない。従来の半導体記憶装置(図3(a)～図3(b))では、ダミーセルパターン部1bのトランジスタは、メモリセルパターン部2のトランジスタと全く同じく、二つのn⁺ 領域の一方はメモリセルパターン部2からのデジット線7に接続し、もう一方のn⁺ 領域は、スタックトキャパシタのスタックポリ12に接続していた。本実施の形態においてダミーセルパターン部1aのトランジスタQは、一方のn⁺ 領域はメモリセルパターン側からのデジット線7aに接続し、もう一方のn⁺ 領域はセンスアンプ4b側へのポリシリコンデジット線7bに接続している。しかも、ダミートランジスタQはもとも、本来の記憶動作を行うメモリセルパターン部2におけるメモリセルの配列と同一のピッチで配置されている。本実施の形態は、このようなダミートランジスタの配列の特徴と断面構造の特徴とを生かして、ダミーセルパターン部1のトランジスタQを、ただ単にメモリセルパターン部2の高さとダミーセルパターン部1の高さとを同一とするためのみならず、センスアンプ4bなどからなるセル駆動回路部4用のトランジスタとしても利用している。つまり、ダミーセルパターン部1のトランジスタをセル駆動回路部4に組み込むことによって、セルアレイ部3をメモリセルパターン部2のみで構成し、セルアレイサイズを大きくすることなく、露光の際の定常波の影響からセルアレイ部3の端に存在するメモリセルパターンを防護している。

【0026】例えば、m行×n列の構成のメモリセルパターン部において、m=64行、n=128列とし、ダミーセルパターン部が、それぞれ1列づつ設けられているものとする。従来の技術による半導体記憶装置では、メモリセルパターン部2の外側にダミーセルパターン部1A(図3(a))が配置され、メモリセルパターン部2とダミーセルパターン部1Aとでセルアレイ部3を構成しているので、セルアレイ部3の面積は、

$$(m+2) \times (n+2) = (64+2) \times (128+2) = 66 \times 130$$

となる。これに対し、本実施の形態においては、セルアレイ部3は、メモリセルパターン部1(図1)だけで構成されているので、その面積は、

$$m \times n = 64 \times 128$$

である。従って、従来の半導体記憶装置におけるメモリセルアレイ部の面積と本実施の形態におけるメモリセルアレイ部の面積との比は、

$$\begin{aligned} m \times n / (m+2) \times (n+2) &= 64 \times 128 / 66 \times 130 \\ &= 8192 / 8580 \\ &= 0.954778554 \end{aligned}$$

アレイ部の面積を従来より約4.5%縮小できる。

【0027】これまでは、ダミーセルパターン部のトランジスタをセル駆動回路部のトランジスタとして用いる例について述べたが、このトランジスタを用いて、メモリセルアレイ部の端部にリダンダンシーセルを配置すれば、80～90%程度の置換率が見込まれ、チップの良品率向上を図ることができる。尚、ダミーセルパターン部のトランジスタは、メモリセルアレイ部におけるメモリセルの配列ピッチとあってさえいれば、特に一列に限られることなく、二列以上であってもよい。

【0028】ここで、本発明を適用するには、ダミーセルパターン部のトランジスタQを、セル駆動回路部4を構成する他の回路素子と接続しなければならない。しかし、本実施の形態においてダミーセルパターン1aは、メモリセルアレイ部3のメモリセルパターン2aと同じピッチで1列以上に配置されているので、上記セル駆動回路部の他の回路素子との接続構造に工夫が必要になることがある。以下に、本実施の形態において、センスアンプなどのセル駆動回路部4に組み込まれたダミーセルパターン部での、コンタクトの取り方について述べる。尚、上記コンタクトは、ダミーセルパターン部を構成するスタックポリより前の工程の層と、スタックポリより後の工程の層を接続するものとする。センスアンプなどのセル駆動回路部4で上記コンタクトが存在するところにダミーセルパターンを配置すると、製造工程上、上記コンタクトで接続される導体層とダミーセルパターンとがショートしてしまう。例えば図3(b)は、一例としてn⁺拡散層5のような、スタックポリ12より前の工程の層と、例えばアルミニウム配線22のような、スタックポリより後の工程の層とを接続するコンタクトが存在するところに、ダミーセルパターン1aを設置したと仮定したときの断面図である。図3(b)において、拡散層5とアルミニウム配線22とは、上記コンタクトによって接続されている。そして、そこにダミーセルパターン1aを配置したことにより、アルミニウム配線22とダミーセルパターン1aのスタックポリ12とがショートしている。

【0029】図3(a)は、上述したショートを回避するためのコンタクトの取り方の例を示す断面図である。図3(a)を参照して、アルミニウム配線22は下部を通過するポリシリコンデジット線7に接続し、デジット線7を介して拡散層5に接続している。このように、接続する上部の導体層から、下部を通過する配線層に一旦接続し、その下部を通過する配線層を介してこれに接続する下部の導体層に接続することで、ダミーセルパターン部のスタックポリとのショートを回避することが可能である。

【0030】

【発明の効果】以上説明したように、本発明は、本来の記憶動作を行うメモリセルパターン部の周辺に、露光時の定常波によるレジストパターンの転写精度低下を防ぐ

ためのダミーセルを備える半導体記憶装置に対し、ダミーセルパターン中のトランジスタをセル駆動回路部のトランジスタとして用いている。

【0031】これにより本発明によれば、セル駆動回路部を含むセルアレイサイズを増大させることなく、露光時の定常波によるレジストパターンの転写精度低下を防止できる。

【0032】本発明によるダミーセルパターン部のトランジスタをリダンダンシーセルとして用いれば、高い置換率により、チップの良品率を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の実施例を示す平面図である。

【図2】分図(a)は、図1中の直線Y-y周辺の平面図である。分図(b)は、図2(a)に平面図を示す部分の断面図である。

【図3】分図(a)は、実施の形態による半導体記憶装置のダミーセルパターン部におけるダミーパターンと導体層とのショートを回避するために用いたコンタクトの取り方の例を示す断面図である。分図(b)は、スタックポリより前の工程の層とスタックポリより後の工程の層とを接続するコンタクトが存在するところにダミーパターンを設置した場合の断面図である。

【図4】従来の半導体記憶装置の一例の平面図である。

【図5】分図(a)は、図4中の直線X-x周辺の平面図である。分図(b)は、図5(a)に平面図を示す部分の断面図である。

【図6】分図(a)は、従来の、ダミーセルパターン部を持たない半導体記憶装置における、スタックポリパターン形成工程での露光時状態を示す断面図である。分図(b)は、メモリセルアレイ中心部とメモリセルアレイ端部の波形を比較して示す図である。分図(c)は、従来の、ダミーセルパターン部を備える半導体記憶装置における、スタックポリパターン形成工程での露光時状態を示す断面図である。

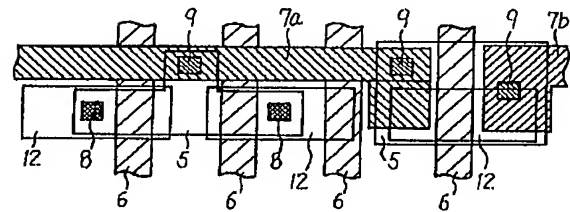
【符号の説明】

- 1, 1A ダミーセルパターン部
- 1a, 1b ダミーセルパターン
- 2 メモリセルパターン部
- 2a メモリセルパターン
- 2c メモリセルアレイ端部
- 2d メモリセルアレイ中心部
- 3 セルアレイ部
- 4 セル駆動回路部
- 4a センスアンプ
- 4b サブワードデコーダ
- 4c サブワードデコーダおよびセンスアンプの駆動回路
- 5 拡散層

11

12

【図 2】

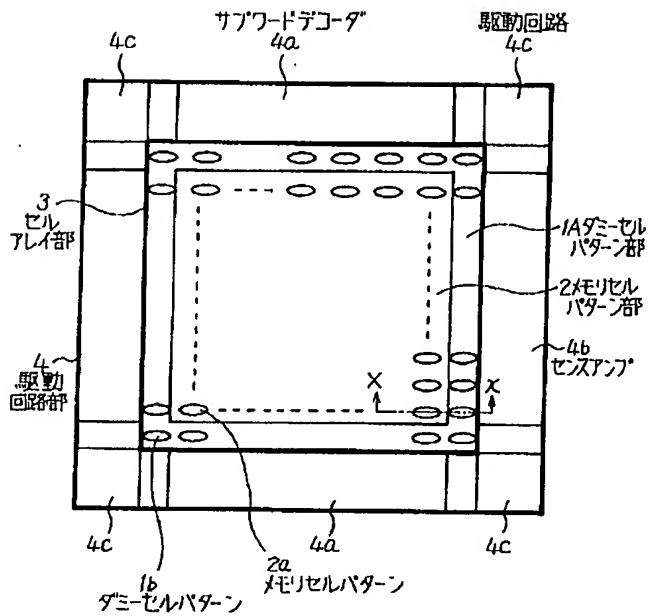


(a)

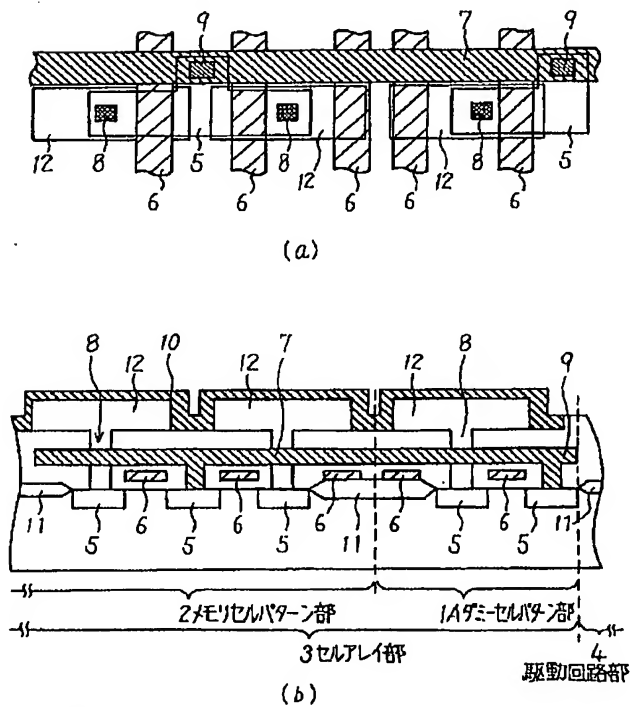


-7-

【図 4】



【图 5】



- | | | |
|-----------|---------|-------------|
| 5 拡散層 | 6 ワード線 | 7 デジット線 |
| 8,9 コンタクト | 10 容量ポリ | 11 フィールド酸化膜 |
| 12 スタックポリ | | |

【図6】

